

BEST AVAILABLE COPY

IFW

Customer No. 31561
Application No.: 10/709,090
Docket No. 12029-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Yang
Application No. : 10/709,090
Filed : Apr 13, 2004
For : PIXEL STRUCTURE AND MANUFACTURING METHOD
THEREOF
Examiner : N/A
Art Unit : 2871

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA 22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 93105044,
filed on: 2004/2/27.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated:

August 9, 2004

By:

Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

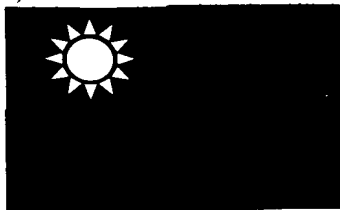
Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw

BEST AVAILABLE COPY



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder

申請日：西元 2004 年 02 月 27 日
Application Date

申請案號：093105044
Application No.

申請人：友達光電股份有限公司
Applicant(s)

BEST AVAILABLE COPY局

長

Director General

蔡練生

CERTIFIED COPY OF
PRIORITY DOCUMENT

發文日期：西元 2004 年 6 月
Issue Date

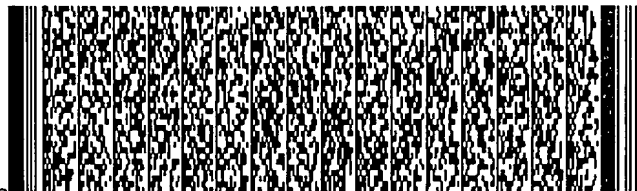
發文字號：09320513700
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	畫素結構及其製造方法
	英 文	Pixel structure and fabricating method thereof
二、 發明人 (共1人)	姓 名 (中文)	1. 楊健生
	姓 名 (英文)	1. YANG, CHIEN SHENG
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹縣竹東鎮學府東路336巷27弄2號
	住居所 (英 文)	1. No. 2, Alley 27, Lane 336, Syuefu E Rd., Jhudong Township, Hsinchu County 310, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 友達光電股份有限公司
	名稱或 姓 名 (英文)	1. Au Optonics Corporation
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹市力行二路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 1, Li-Hsin Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1. LEE, KUN YAO



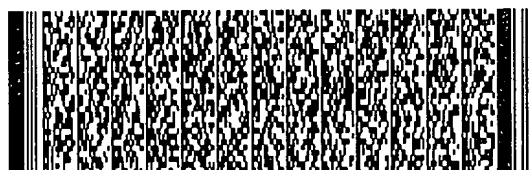
120291.tif.tif

四、中文發明摘要 (發明名稱：畫素結構及其製造方法)

一種畫素結構，適於配置在一基板上。此畫素結構主要係由一掃瞄配線、一資料配線、一主動元件、多個透明電容電極以及一畫素電極所構成。此畫素結構的製造方法主要係在基板上先形成主動元件、掃瞄配線與資料配線，而主動元件係電性連接至掃瞄配線與資料配線。此外，在基板上形成多個透明電容電極。最後，在透明電容電極上形成畫素電極，且電性連接至主動元件。其中，畫素電極與透明電容電極係電性耦合為多層結構之一畫素儲存電容。由於畫素儲存電容係之材質為透明材質，且具有多層結構，因此可增加電容量，並提高畫素結構之開口率。

五、英文發明摘要 (發明名稱：Pixel structure and fabricating method thereof)

A pixel structure and fabricating method thereof is disclosed. The pixel structure suits to be disposed on a substrate. The pixel structure essentially comprises a scan line, a data line, an active element, a plurality of transparent capacitance electrodes and a pixel electrode. The fabricating method of pixel structure essential is forming the scan line, the data line and the



四、中文發明摘要 (發明名稱：畫素結構及其製造方法)

五、英文發明摘要 (發明名稱：Pixel structure and fabricating method thereof)

active element on the substrate first. The scan line and the data line electrically connect to the active element. Otherwise, forming the transparent capacitance electrodes on the substrate. Final, forming the pixel electrode on the transparent capacitance electrodes that electrically connects to the active element. The pixel electrode and the transparent capacitance electrodes electrically



四、中文發明摘要 (發明名稱：畫素結構及其製造方法)

五、英文發明摘要 (發明名稱：Pixel structure and fabricating method thereof)

couple as a multi-layer pixel storage capacitor. Because the pixel storage capacitor is multi-layer structure and the material of it is transparent material, the capacitance of pixel storage capacitor and the aperture ratio of pixel structure can be increased.



六、指定代表圖

(一)、本案指定代表圖為：第 3F 圖

(二)、本代表圖之元件代表符號簡單說明：

300：畫素結構

310：基板

315：緩衝層

320：主動元件

324：閘介電層

326：閘極

328：源極/汲極摻雜區

330a：第一保護層

330b：第二保護層

340a、340b：透明電容電極

342a：第一介電層

342b：第二介電層

350：資料配線

370：畫素電極

372：導體層

380：畫素儲存電容

03：接觸窗開口



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

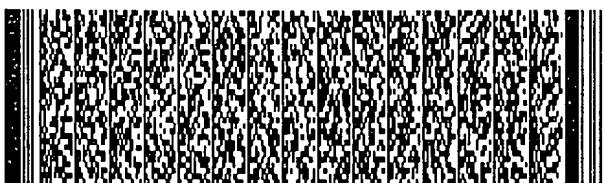
發明所屬之技術領域

本發明是有關於一種畫素結構(Pixel structure)及其製造方法，且特別是有關於一種具有三層以上透明電容電極(Transparent capacitance electrode)所構成之畫素儲存電容(Pixel storage capacitor)的畫素結構及其製造方法。

先前技術

薄膜電晶體液晶顯示器(Thin Film Transistor Liquid Crystal Display, TFT LCD)主要係由薄膜電晶體陣列基板、彩色濾光陣列基板和液晶層所構成。其中，薄膜電晶體陣列基板係由多個以陣列排列之畫素結構所構成。每一畫素結構主要係由一薄膜電晶體、一畫素電極(Pixel electrode)以及一畫素儲存電容所構成。而上述之薄膜電晶體係包括閘極(Gate)、通道(Channel)、汲極(Drain)與源極(Source)，其係用來作為液晶顯示單元的開關元件。當畫素電極處於選擇之狀態下(即打開"ON"的狀態下)，訊號將會寫入此畫素上；當畫素電極處於非選擇的狀態下(即關閉"OFF"的狀態下)，其中之畫素儲存電容可維持驅動液晶所需之電位。因此，畫素儲存電容的電容量即與液晶顯示器之顯示效能高度相關。

習知畫素結構中的畫素儲存電容通常是利用畫素結構中的第一金屬層(Metal 1)、第二金屬層(Metal 2)、第一與第二金屬層之間的介電層(Dielectric layer)以及畫素電極所構成，不論是架構於閘極上的畫素儲存電容(Cst

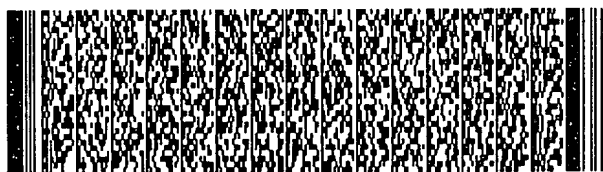


五、發明說明 (2)

on gate)或是架構於共用配線上的畫素儲存電容(Cst on common)中，其通常是以閘極或共用配線(即第一金屬層)作為一電極，而以彼此相互電性連接的第二金屬層及畫素電極作為另一電極。但是，此種習知畫素儲存電容係以不透光之金屬作為電容電極，因此畫素結構之開口率(Aperture ratio)將會隨畫素儲存電容之加大而降低，進而造成液晶顯示器的亮度(Brightness)不足。

為解決上述畫素儲存電容造成畫素結構之開口率下降的問題，另一種習知畫素結構亦被揭露。第1圖繪示為一習知畫素結構的剖面示意圖。請參照第1圖，畫素結構100係配置於一基板110上，畫素結構100係由一掃瞄配線(圖未示)、一資料配線130、一主動元件140以及一畫素儲存電容150所構成。其中，掃瞄配線與資料配線130皆配置於基板110上。主動元件140係配置於掃瞄配線與資料配線130交會處之基板110上，且電性連接至掃瞄配線以及資料配線130。畫素儲存電容150係由一畫素電極152以及一透明電容電極154所構成。其中，畫素電極152係電性連接至主動元件140。

由於構成畫素儲存電容150之畫素電極152以及透明電容電極154皆為透明材質，所以畫素儲存電容150不會造成畫素結構100之開口率下降。但是，在高解析度之液晶顯示器中，只具有兩層電容電極之畫素儲存電容150的電容量會隨著面積縮小而顯得不足。若欲縮短畫素電極152與透明電容電極154之間的距離，以提高畫素儲存電容150的



五、發明說明 (3)

電容量，又會遇到介電層不易薄化之困難。

發明內容

因此，本發明的目的就是在提供一種畫素結構及其製造方法，適於增加畫素儲存電容的電容量。

本發明的另一目的是在提供一種畫素結構及其製造方法，適於提高畫素結構之開口率。

本發明的又一目的是在提供一種畫素結構及其製造方法，適於簡化製程步驟。

基於上述目的，本發明提出一種畫素結構，適於配置在一基板上。此畫素結構主要係由一掃描配線、一資料配線、一主動元件、多個透明電容電極以及一畫素電極所構成。其中，掃描配線與資料配線係配置於基板上。主動元件係鄰近配置於掃描配線與資料配線交會處之基板上，且主動元件係電性連接至掃描配線與資料配線。透明電容電極係配置於基板上。畫素電極係配置於透明電容電極上，且畫素電極係電性連接至主動元件。畫素電極與透明電容電極係電性耦合為多層結構之一畫素儲存電容。

此外，部份的透明電容電極係直接電性連接至主動元件，亦或是係電性連接至畫素電極，再藉由畫素電極電性連接至主動元件。

另外，主動元件例如係低溫多晶矽(Low Temperature Polysilicon, LTPS)薄膜電晶體。同時，畫素結構例如更包括一源極/汲極導體層。其中，主動元件例如係藉由源極/汲極導體層電性連接至資料配線與畫素電極。或者，



五、發明說明 (4)

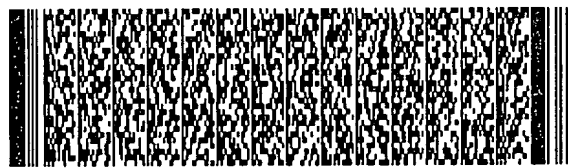
畫素結構亦可係更包括一導體層。其中，主動元件例如係藉由導體層電性連接至資料配線，且畫素電極例如係直接電性連接至主動元件。

再者，主動元件亦可係非晶矽薄膜電晶體。同時，主動元件例如係由一閘極、一通道以及一源極/汲極所構成。其中，閘極例如係配置於基板上，且電性連接至掃描配線。通道例如係配置於閘極上方。源極/汲極例如係配置於通道上，且電性連接至資料配線與畫素電極。

在本實施例之畫素結構中，畫素電極與透明電容電極之材質例如係銦錫氧化物(Indium Tin Oxide, ITO)或銦鋅氧化物(Indium Zinc Oxide, IZO)。

基於上述目的，本發明提出一種畫素結構的製造方法。此畫素結構的製造方法主要係在一基板上先形成一主動元件、一掃描配線與一資料配線，而主動元件係電性連接至掃描配線與資料配線。此外，在基板上形成多個透明電容電極。最後，在透明電容電極上形成一畫素電極，且電性連接至主動元件。其中，畫素電極與透明電容電極係電性耦合為多層結構之一畫素儲存電容。

此外，主動元件例如係低溫多晶矽薄膜電晶體。在此前提下，例如在形成資料配線的同時，更包括於主動元件上方形成一源極/汲極導體層。其中，主動元件例如係藉由源極/汲極導體層電性連接至資料配線與畫素電極。或者，例如在形成資料配線後，亦可係形成一導體層於主動元件上方。其中，主動元件例如係藉由導體層電性連接至



五、發明說明 (5)

資料配線，且畫素電極例如係直接電性連接至主動元件。導體層與畫素電極例如係由同一材料層圖案化所形成。形成主動元件的方法例如係首先在基板上形成一多晶矽層。接著，在基板上形成一閘介電層，覆蓋多晶矽層。之後，在閘介電層上形成一閘極，閘極係位於多晶矽層上方。最後，於閘極兩側之多晶矽層中形成一源極/汲極摻雜區。

其中，形成源極/汲極摻雜區的方法例如係以閘極為罩幕進行一摻雜製程，使多晶矽層之兩側成為一源極/汲極摻雜區。

再者，主動元件亦可係非晶矽薄膜電晶體。在此前提下，形成主動元件的方法例如係首先在基板上形成一閘極，且電性連接至掃描配線。之後，在基板上形成一閘介電層，且覆蓋閘極。接著，在閘介電層上形成一通道，通道係位於閘極上方。最後，在通道上形成一源極/汲極。

在本實施例之畫素結構的製造方法中，畫素電極與透明電容電極之材質例如係銦錫氧化物或銦鋅氧化物。

綜上所述，本發明之畫素結構及其製造方法具有下列優點：

- (1) 透明材質之畫素儲存電容可大幅提昇畫素結構之開口率。
- (2) 多層結構的畫素儲存電容具有極佳電容量。
- (3) 適合應用於高解析度之液晶顯示器中。
- (4) 可簡化製程步驟。

為讓本發明之上述和其他目的、特徵、和優點能更明



五、發明說明 (6)

顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

實施方式

[第一實施例]

第2A～2H圖繪示為本發明第一較佳實施例之畫素結構的製造方法之流程剖面圖。首先請共同參照第2A圖與第2B圖，在一基板210上形成一主動元件220與一掃瞄配線(圖未示)。其中，主動元件220例如係低溫多晶矽薄膜電晶體。形成主動元件220的方法例如係首先在基板210上形成一多晶矽層222。在形成多晶矽層222前，例如更包括形成一緩衝層215於基板210上，以防止多晶矽層222受到基板210內之離子污染。多晶矽層222例如係由非晶矽層經過回火(Anneal)而成。接著，例如在基板210上形成一閘介電層224，覆蓋多晶矽層222。之後，例如在閘介電層224上形成一閘極226，閘極226係位於多晶矽層222上方。最後，例如以閘極226為罩幕進行一摻雜製程，以使多晶矽層222之兩側成為一源極/汲極摻雜區228。另外，主動元件220之閘極226係與掃瞄配線電性連接。

接著請參照第2C圖，在基板210上形成一透明電容電極240a。此外，在形成透明電容電極240a之前，例如更包括在基板210上形成一第一保護層230a，覆蓋主動元件220。

接著請參照第2D圖，例如在基板210上形成一第一介電層242a，覆蓋透明電容電極240a。



五、發明說明 (7)

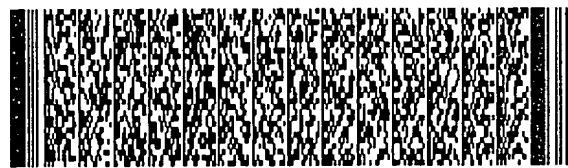
接著請參照第2E圖，例如進行一道光罩製程以在主動元件220之源極/汲極摻雜區228上形成多個第一接觸窗開口01。之後，在基板210上以同一金屬層圖案化形成一資料配線250與一源極/汲極導體層260。其中，資料配線250係與源極/汲極導體層260電性連接，源極/汲極導體層260係填滿第一接觸窗開口01以電性連接至主動元件220。

接著請參照第2F圖，在基板210上形成另一個透明電容電極240b，並且位於透明電容電極240a上方。此外，在形成透明電容電極240b之前，例如更包括在基板210上形成一第二保護層230b，覆蓋資料配線250與源極/汲極導體層260。

接著請參照第2G圖，例如在基板210上形成一第二介電層242b，覆蓋透明電容電極240b。

最後請參照第2H圖，例如進行另一道光罩製程以在源極/汲極導體層260上形成一第二接觸窗開口02。之後，在透明電容電極240b上方之第二介電層242b上形成一畫素電極270。而且，畫素電極270係填滿第二接觸窗開口02以電性連接至源極/汲極導體層260，並藉由源極/汲極導體層260電性連接至主動元件220。其中，畫素電極270與透明電容電極240a、240b係電性耦合為多層結構之一畫素儲存電容280。

以下將針對本發明第一較佳實施例的畫素結構作介紹。請參照第2G圖，畫素結構200係適於配置在基板210上。畫素結構200主要係由基板210、掃描配線(圖未示)、



五、發明說明 (8)

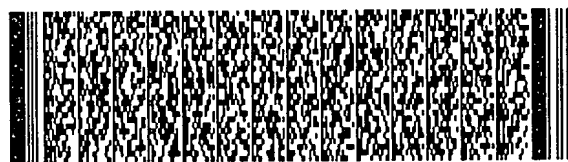
資料配線250、主動元件220、多個透明電容電極240a、240b以及畫素電極270所構成。其中，掃描配線與資料配線250係配置於基板210上。主動元件220係鄰近配置於掃描配線與資料配線250交會處之基板210上，且主動元件220係電性連接至掃描配線與資料配線250。透明電容電極240a、240b係配置於基板210上。畫素電極270係配置於透明電容電極240a、240b上，且畫素電極270係電性連接至主動元件220。畫素電極270與透明電容電極240a、240b係電性耦合為多層結構之畫素儲存電容280。

此外，本較佳實施例之透明電容電極240a例如係直接電性連接至主動元件220，當然透明電容電極240a亦可電性連接至畫素電極270，再藉由畫素電極270電性連接至主動元件220。因此，在畫素儲存電容280中，透明電容電極240a與畫素電極270例如係同一電位，而透明電容電極240b係另一電位。此種設計可以減少畫素儲存電容280所需之外加電源。

另外，畫素結構200例如更包括源極/汲極導體層260。其中，主動元件220例如係藉由源極/汲極導體層260電性連接至資料配線250與畫素電極270。畫素電極270與透明電容電極240a、240b之材質例如係銦錫氧化物或銦鋅氧化物。

[第二實施例]

第3A～3F圖繪示為本發明第二較佳實施例之畫素結構的製造方法之流程剖面圖。首先請共同參照第3A圖與第3B



五、發明說明 (9)

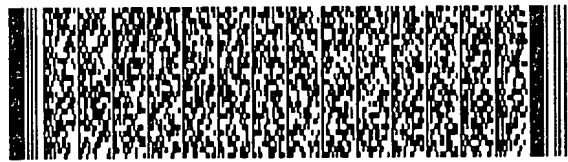
圖，在一基板310上形成一主動元件320與一掃瞄配線(圖未示)。其中，主動元件320例如係低溫多晶矽薄膜電晶體。形成主動元件320的方法例如係首先在基板310上形成一多晶矽層322。在形成多晶矽層322前，例如更包括形成一緩衝層315於基板310上，以防止多晶矽層322受到基板310內之離子污染。多晶矽層322例如係由非晶矽層經過回火(Anneal)而成。接著，例如在基板310上形成一閘介電層324，覆蓋多晶矽層322。之後，例如在閘介電層324上形成一閘極326，閘極326係位於多晶矽層322上方。最後，例如以閘極326為單幕進行一摻雜製程，以使多晶矽層322之兩側成為一源極/汲極摻雜區328。另外，主動元件320之閘極326係與掃瞄配線電性連接。

接著請參照第3C圖，在基板310上形成一透明電容電極340a。此外，在形成透明電容電極340a之前，例如更包括在基板310上形成一第一保護層330a，覆蓋主動元件320。

接著請參照第3D圖，在基板310上形成一資料配線350。此外，在形成資料配線350之前，例如更包括在基板310上形成一第一介電層342a，覆蓋透明電容電極340a。

接著請參照第3E圖，在基板310上形成另一個透明電容電極340b，並且位於透明電容電極340a上方。此外，在形成透明電容電極340b之前，例如更包括在基板310上形成一第二保護層330b，覆蓋資料配線350。

最後請參照第3F圖，例如在基板310上形成一第二介



五、發明說明 (10)

電層342b，覆蓋透明電容電極340b。接著，例如進行一道光罩製程，以在源極/汲極摻雜區328、資料配線350與透明電容電極340a上形成多個接觸窗開口03，且接觸窗開口03未暴露透明電容電極340b。之後，將一透明材料層圖案化，以在透明電容電極340b上方之第二介電層342b上形成一畫素電極370，並在源極/汲極摻雜區328與資料配線350上方形成一導體層372。而且，畫素電極370與導體層372係填滿接觸窗開口03，以使畫素電極370直接電性連接至主動元件之320源極/汲極摻雜區328，導體層372則電性連接至資料配線與350主動元件之320源極/汲極摻雜區328。其中，畫素電極370與透明電容電極340a、340b係電性耦合為多層結構之一畫素儲存電容380。

以下將針對本發明第二較佳實施例的畫素結構作介紹。請參照第3F圖，畫素結構300係適於配置在基板310上。畫素結構300主要係由基板310、掃描配線(圖未示)、資料配線350、主動元件320、多個透明電容電極340a、340b以及畫素電極370所構成。其中，掃描配線與資料配線350係配置於基板310上。主動元件320係鄰近配置於掃描配線與資料配線350交會處之基板310上，且主動元件320係電性連接至掃描配線與資料配線350。透明電容電極340a、340b係配置於基板310上。畫素電極370係配置於透明電容電極340a、340b上，且畫素電極370係電性連接至主動元件320。畫素電極370與透明電容電極340a、340b係電性耦合為多層結構之畫素儲存電容380。



五、發明說明 (11)

此外，本較佳實施例之透明電容電極340a例如係電性連接至畫素電極370，再藉由畫素電極370電性連接至主動元件320，當然透明電容電極340a亦可直接電性連接至主動元件320。因此，在畫素儲存電容380中，透明電容電極340a與畫素電極370例如係同一電位，而透明電容電極340b係另一電位。此種設計可以減少畫素儲存電容380所需之外加電源。

另外，畫素結構300例如更包括導體層372。其中，主動元件320例如係藉由導體層372電性連接至資料配線350，畫素電極370例如係直接電性連接至主動元件320。畫素電極370、導體層372與透明電容電極340a、340b之材質例如係銦錫氧化物或銦鋅氧化物。

[第三實施例]

第4圖繪示為本發明第三較佳實施例之畫素結構的剖面示意圖。請參照第4圖，在本發明第三較佳實施例之畫素結構400中，與上述較佳實施例不同處主要係以非晶矽薄膜電晶體為主動元件420，其特徵仍在於配置有多層結構且透明之畫素儲存電容480，因此與上述較佳實施例相同處在此不再贅述。畫素結構400之主動元件420例如係非晶矽薄膜電晶體。主動元件420例如係由一閘極426、一通道424以及一源極/汲極428所構成。其中，閘極426例如係配置於基板410上，且電性連接至掃描配線(圖未示)。通道424例如係配置於閘極426上方。源極/汲極428例如係配置於通道424上，且電性連接至資料配線450與畫素電極



470。

承上所述，在本發明三種較佳實施例之畫素結構及其製造方法中，主要特徵係為畫素結構內配置有一畫素儲存電容，而且畫素儲存電容係由畫素電極與多個透明電容電極電性耦合而成。符合上述特徵之畫素結構及其製造方法皆應屬於本發明所欲保護之範圍。

值得注意的是，畫素儲存電容並不侷限於較佳實施例所述之僅由一畫素電極與兩個透明電容電極電性耦合而成，更可增加透明電容電極的數量，以使畫素儲存電容在相同面積中獲得更高的電容量。而且，將部份透明電容電極經由畫素電極或直接電性連接至主動元件，即可減少畫素儲存電容所需使用之電源線路數目，並且具有極佳之電容量。另外，在第二較佳實施例中，畫素電極係直接電性連接至主動元件，而不需透過源極/汲極導體層電性連接至主動元件，此設計可較第一較佳實施例減少一道光罩製程，進而縮短製程時間與成本。

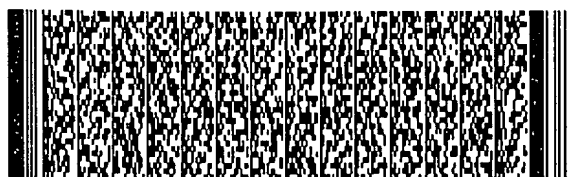
綜上所述，本發明之畫素結構及其製造方法具有下列優點：

(1) 畫素儲存電容之各層電容電極皆為透明材質，可大幅提昇畫素結構之開口率。

(2) 多層結構的畫素儲存電容具有極佳電容量。

(3) 在相同面積中可獲得更高的電容量，因此可以適用於高解析度之液晶顯示器中。

(4) 僅需以一道光罩製程形成接觸窗開口，即可滿足



五、發明說明 (13)

主動元件電性連接至畫素電極與資料配線之所需，可減少製程時間與成本。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖繪示為一習知畫素結構的剖面示意圖。

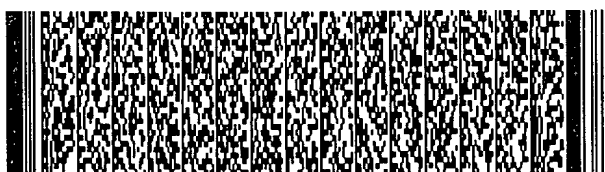
第2A～2H圖繪示為本發明第一較佳實施例之畫素結構的製造方法之流程剖面圖。

第3A～3F圖繪示為本發明第二較佳實施例之畫素結構的製造方法之流程剖面圖。

第4圖繪示為本發明第三較佳實施例之畫素結構的剖面示意圖。

【圖式標示說明】

- 100：畫素結構
- 110：基板
- 130：資料配線
- 140：主動元件
- 150：畫素儲存電容
- 152：畫素電極
- 154：透明電容電極
- 200、300、400：畫素結構
- 210、310、410：基板
- 215、315：緩衝層
- 220、320、420：主動元件
- 222、322：多晶矽層
- 224、324：閘介電層
- 226、326、426：閘極
- 228、328：源極/汲極摻雜區
- 230a、330a：第一保護層



圖式簡單說明

230b、330b：第二保護層

240a、240b、340a、340b、440a、440b：透明電容電極

242a、342a：第一介電層

242b、342b：第二介電層

250、350、450：資料配線

260：源極/汲極導體層

270、370、470：畫素電極

280、380、480：畫素儲存電容

372：導體層

424：通道

428：源極/汲極

01：第一接觸窗開口

02：第二接觸窗開口

03：接觸窗開口



六、申請專利範圍

1. 一種畫素結構，適於配置在一基板上，該畫素結構至少包括：

- 一掃瞄配線，配置於該基板上；
- 一資料配線，配置於該基板上；
- 一主動元件，鄰近配置於該掃瞄配線與該資料配線交會處之該基板上，且該主動元件係電性連接至該掃瞄配線與該資料配線；

- 多數個透明電容電極，配置於該基板上；以及
- 一畫素電極，配置於該些透明電容電極上且電性連接至該主動元件，其中該畫素電極與該些透明電容電極係電性耦合為多層結構之一畫素儲存電容。

2. 如申請專利範圍第1項所述之畫素結構，其中部分該些透明電容電極係直接電性連接至該主動元件。

3. 如申請專利範圍第1項所述之畫素結構，其中部分該些透明電容電極係電性連接至該畫素電極，並藉由該畫素電極電性連接至該主動元件。

4. 如申請專利範圍第1項所述之畫素結構，其中該主動元件包括低溫多晶矽薄膜電晶體。

5. 如申請專利範圍第4項所述之畫素結構，更包括一源極/汲極導體層，其中該主動元件係藉由該源極/汲極導體層電性連接至該資料配線與該畫素電極。

6. 如申請專利範圍第4項所述之畫素結構，更包括一導體層，其中該主動元件係藉由該導體層電性連接至該資料配線，且該畫素電極係直接電性連接至該主動元件。



六、申請專利範圍

7. 如申請專利範圍第1項所述之畫素結構，其中該主動元件包括非晶矽薄膜電晶體。

8. 如申請專利範圍第7項所述之畫素結構，其中該主動元件至少包括：

一閘極，配置於該基板上，且電性連接至該掃瞄配線；

一通道，配置於該閘極上方；以及

一源極/汲極，配置於該通道上，且電性連接至該資料配線與該畫素電極。

9. 如申請專利範圍第1項所述之畫素結構，其中該畫素電極與該些透明電容電極之材質包括銦錫氧化物以及銦鋅氧化物其中之一。

10. 一種畫素結構的製造方法，至少包括：

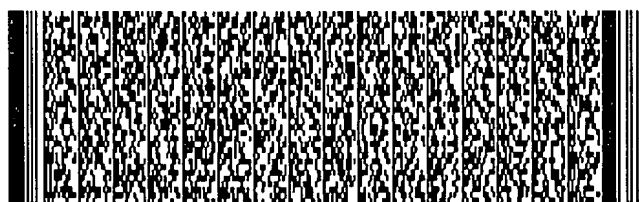
在一基板上形成一主動元件、一掃瞄配線與一資料配線，且該主動元件係電性連接至該掃瞄配線與該資料配線；

在該基板上形成多數個透明電容電極；以及

在該些透明電容電極上形成一畫素電極，且電性連接至該主動元件，其中該畫素電極與該些透明電容電極係電性耦合為多層結構之一畫素儲存電容。

11. 如申請專利範圍第10項所述之畫素結構的製造方法，其中該主動元件包括低溫多晶矽薄膜電晶體。

12. 如申請專利範圍第11項所述之畫素結構的製造方法，其中在形成該資料配線的同時，更包括於該主動元件



六、申請專利範圍

上方形成一源極/汲極導體層，其中該主動元件係藉由該源極/汲極導體層電性連接至該資料配線與該畫素電極。

13. 如申請專利範圍第11項所述之畫素結構的製造方法，其中在形成該資料配線後，更包括於該主動元件上方形成一導體層，該主動元件係藉由該導體層電性連接至該資料配線，且該畫素電極係直接電性連接至該主動元件。

14. 如申請專利範圍第13項所述之畫素結構的製造方法，其中該導體層與該畫素電極係由同一材料層圖案化所形成。

15. 如申請專利範圍第11項所述之畫素結構的製造方法，其中形成該主動元件的方法至少包括：

在該基板上形成一多晶矽層；

在該基板上形成一閘介電層，覆蓋該多晶矽層；

在該閘介電層上形成一閘極，該閘極係位於該多晶矽層上方；以及

於該閘極兩側之該多晶矽層中形成一源極/汲極摻雜區。

16. 如申請專利範圍第15項所述之畫素結構的製造方法，其中形成該源極/汲極摻雜區的方法包括以該閘極為罩幕進行一摻雜製程，使該多晶矽層之兩側成為一源極/汲極摻雜區。

17. 如申請專利範圍第10項所述之畫素結構的製造方法，其中該主動元件包括非晶矽薄膜電晶體。

18. 如申請專利範圍第17項所述之畫素結構的製造方



六、申請專利範圍

法，其中形成該主動元件的方法至少包括：

在該基板上形成一閘極，且電性連接至該掃瞄配線；

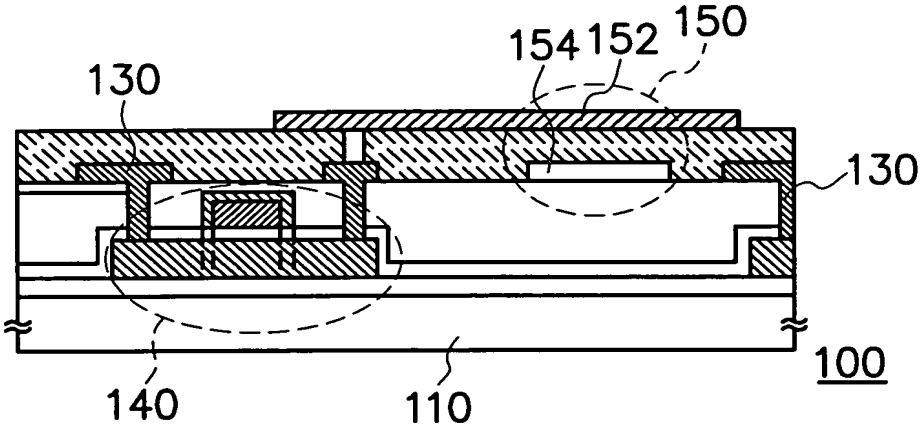
在該基板上形成一閘介電層，且覆蓋該閘極；

在該閘介電層上形成一通道，該通道係位於該閘極上方；以及

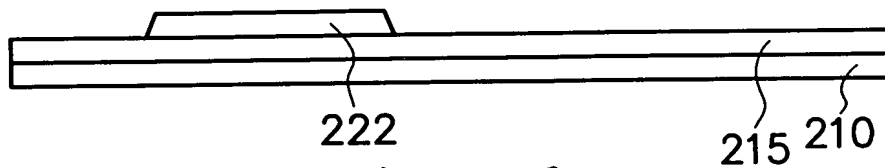
在該通道上形成一源極/汲極。

19. 如申請專利範圍第10項所述之畫素結構的製造方法，其中該畫素電極與該些透明電容電極之材質包括銦錫氧化物以及銦鋅氧化物其中之一。

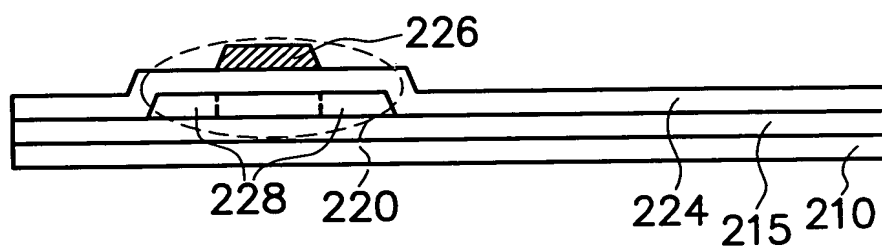




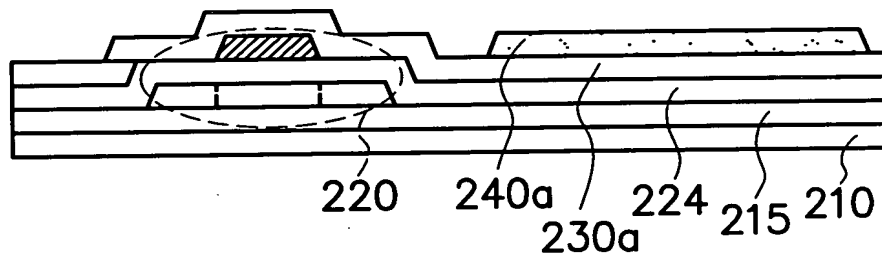
第 1 圖



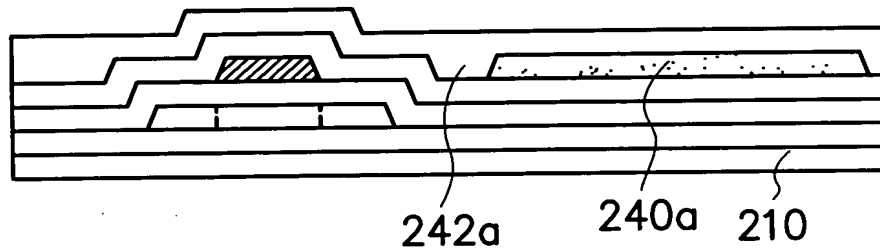
第 2A 圖



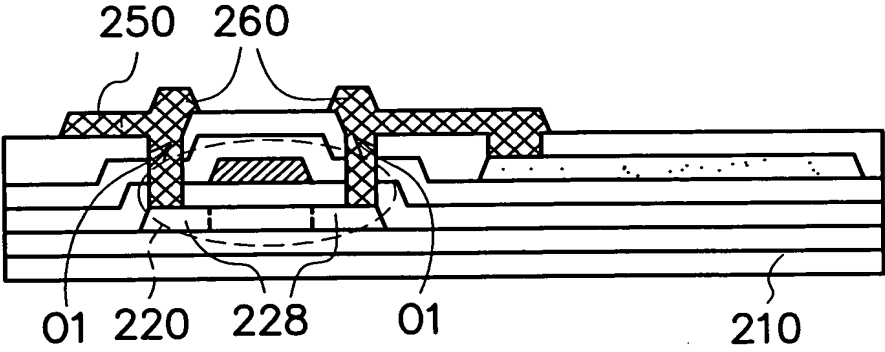
第 2B 圖



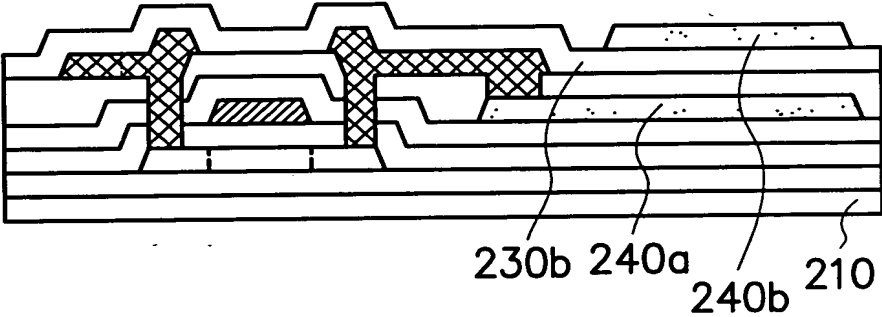
第 2C 圖



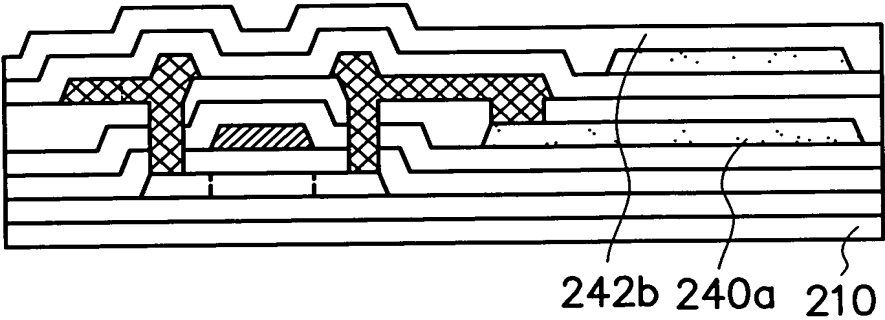
第 2D 圖



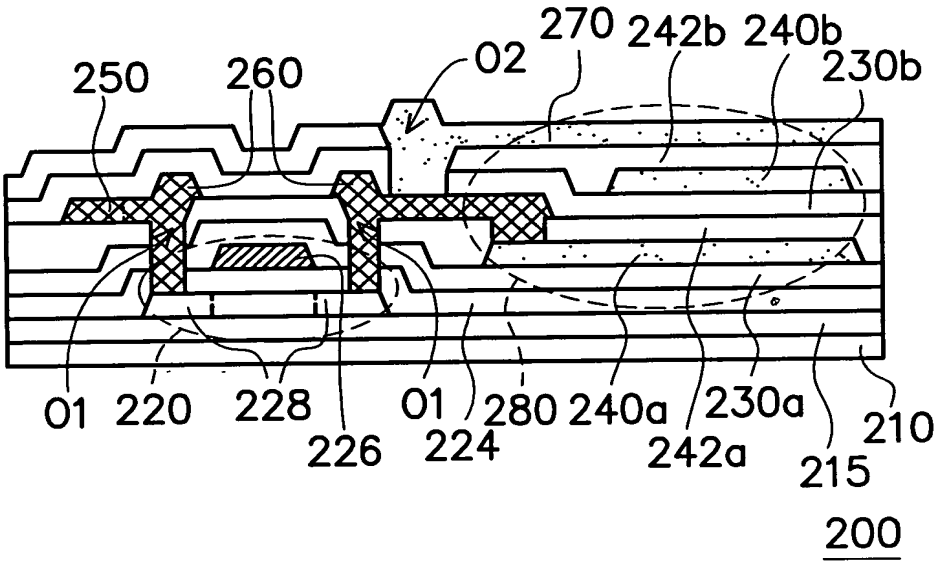
第 2E 圖



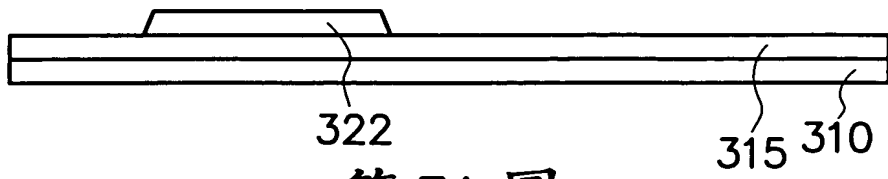
第 2F 圖



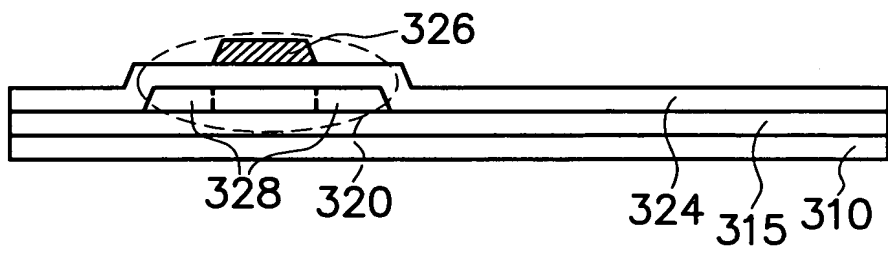
第 2G 圖



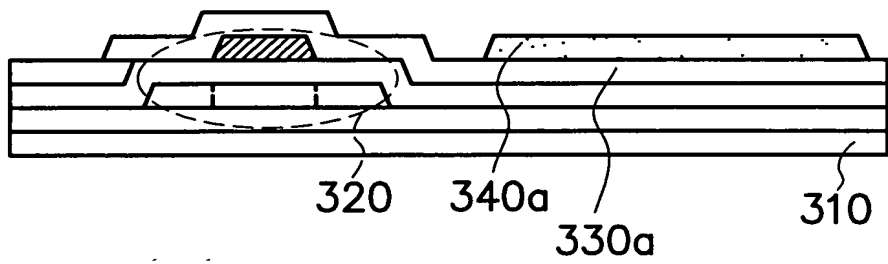
第 2H 圖



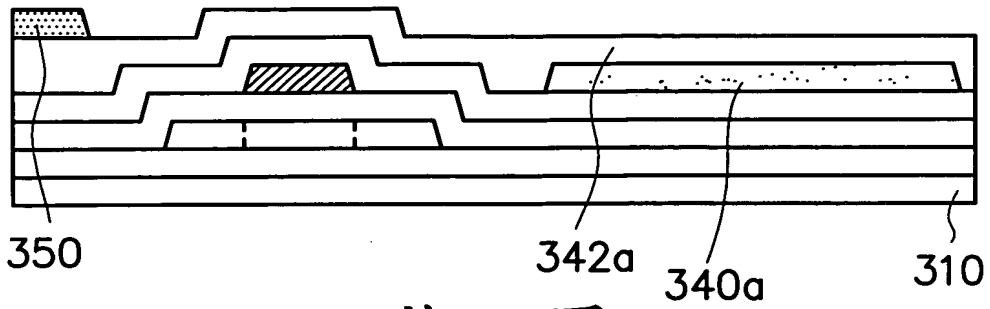
第 3A 圖



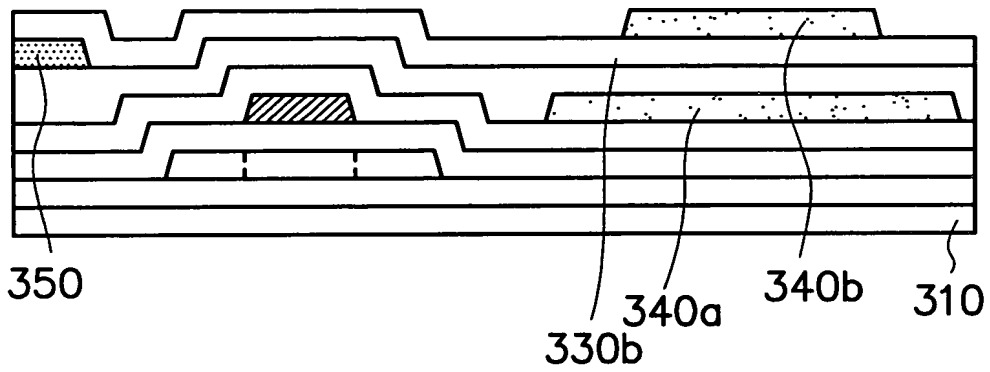
第 3B 圖



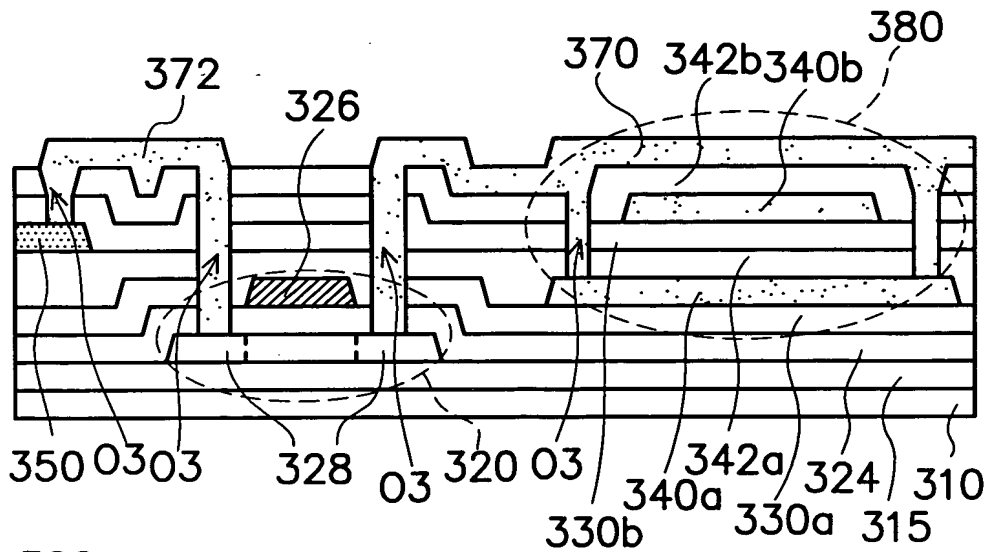
第 3C 圖



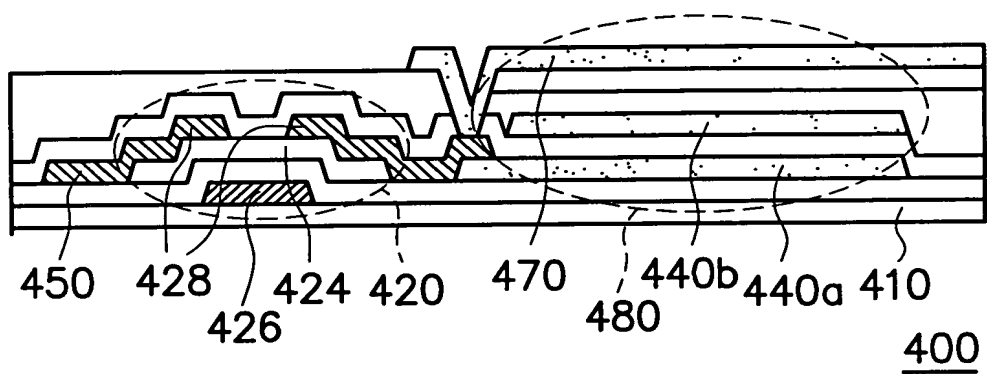
第3D圖



第3E圖

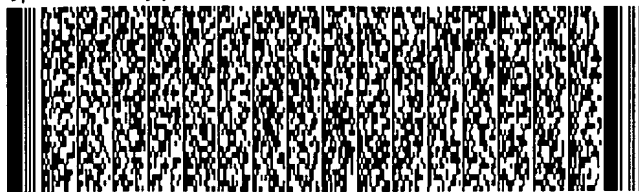


第3F圖

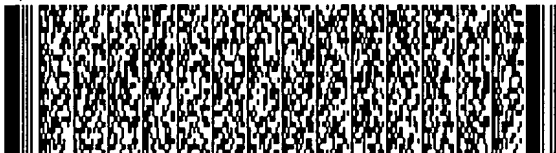


第 4 圖

第 1/25 頁



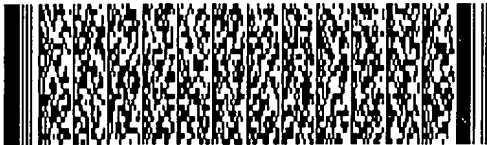
第 2/25 頁



第 2/25 頁



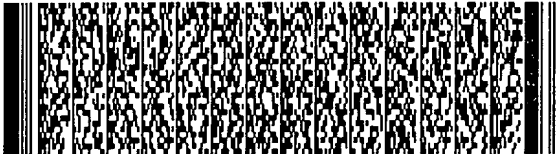
第 3/25 頁



第 4/25 頁



第 5/25 頁



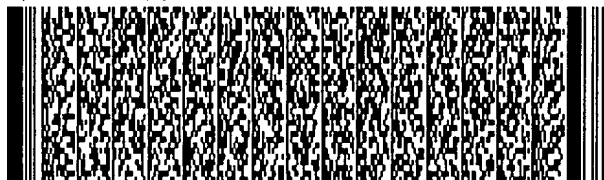
第 6/25 頁



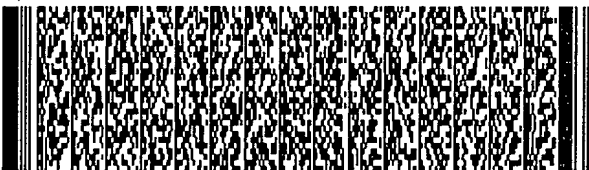
第 7/25 頁



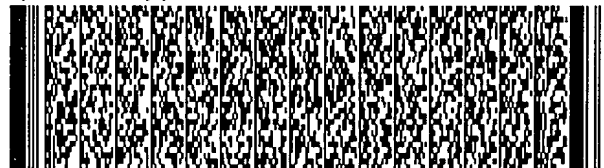
第 7/25 頁



第 8/25 頁



第 8/25 頁



第 9/25 頁



第 9/25 頁



第 10/25 頁



第 10/25 頁



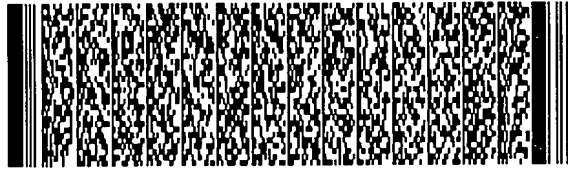
第 11/25 頁



第 11/25 頁



第 12/25 頁



第 12/25 頁



第 13/25 頁



第 13/25 頁



第 14/25 頁



第 14/25 頁



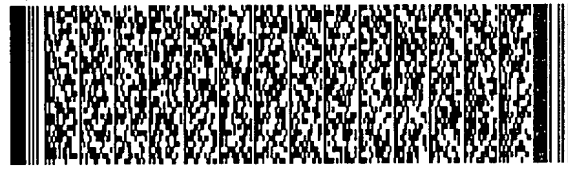
第 15/25 頁



第 15/25 頁



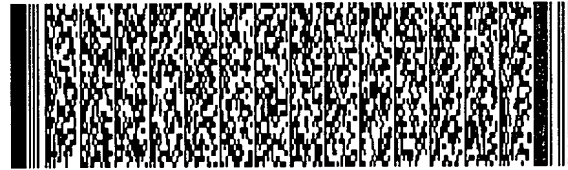
第 16/25 頁



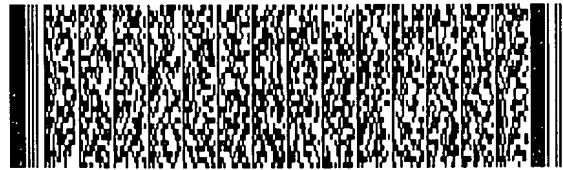
第 16/25 頁



第 17/25 頁



第 17/25 頁



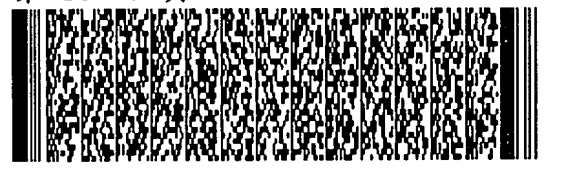
第 18/25 頁



第 18/25 頁



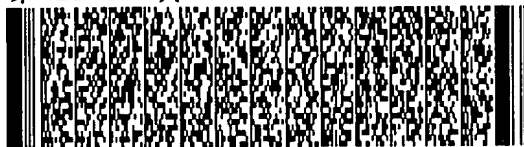
第 19/25 頁



第 20/25 頁



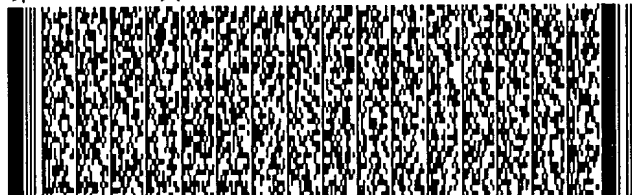
第 21/25 頁



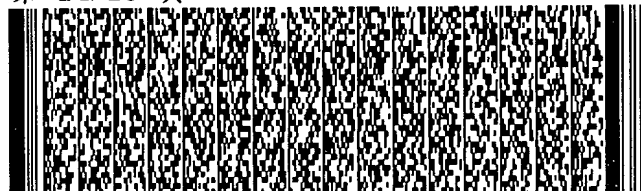
第 22/25 頁



第 23/25 頁



第 24/25 頁



第 25/25 頁



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.